

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開  
⑰ 公開特許公報 (A) 昭57-199044

⑮ Int. Cl.<sup>3</sup>  
G 06 F 7/52

識別記号 庁内整理番号  
2116-5B

⑯ 公開 昭和57年(1982)12月6日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑯ 乗算装置

⑰ 特願 昭56-85098  
⑰ 出願 昭56(1981)6月3日  
⑰ 発明者 杉浦聰

川崎市中原区上小田中1015番地

富士通株式会社内

⑰ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑰ 代理人 弁理士 青柳稔

明細書

1. 発明の名称

乗算装置

2. 特許請求の範囲

乗数を複数ビットずつのグループに分割し、その1グループと被乗数との部分積を作り、その部分積と部分積累算結果を Wallace のトリー回路と加算器で加算して乗数と被乗数の積値を求める乗算装置において、Wallace のトリー回路のキャリーおよび和を加算器に入力し、該加算器の前回出力と共に加算して積値を求めるようにしてなることを特徴とする乗算装置。

3. 発明の詳細な説明

本発明は、被乗数と乗数の一部との部分積を求め、それを部分積累算結果と加算し、かゝる操作を繰り返して該被乗数と乗数との積値を求める乗算装置に関するもの。

従来の乗算装置としては Booth のアルゴリズムで部分積を生成し、Wallace の方法で部分積と部分積累算結果との加算をし、キャリーと和に絞り、最

終結果はキャリーと和を加算器で加算して求めるという形式のものがよく使用されている。しかしこの形式の乗算装置は Wallace のトリー回路の入力データの個数、ビット数などが大きになると加算部のハードウェアは非常に大きくなってしまう。

本発明は Wallace のトリー回路では部分積の加算だけを行ない、部分積と部分積累算結果との加算は加算器で行なうようにして Wallace のトリー回路の簡略化を図った。即ち本発明は乗数を複数ビットずつのグループに分割し、その1グループと被乗数との部分積を作り、その部分積と部分積累算結果を Wallace のトリー回路と加算器で加算して乗数と被乗数の積値を求める乗算装置において、Wallace のトリー回路のキャリーおよび和を加算器に入力し、該加算器の前回出力と共に加算して積値を求めるようにしてなることを特徴とするものである。この乗算装置によれば、加算器は部分積累算結果としてキャリーと和を加算したものを出力するので、最終結果を得るために加算器のキャリーと和の加算サイクルを省略でき、演算サイク

ルの高速化を図ることができる。次に図面を参照しながらこれを詳細に説明する。

第1図は従来の乗算装置を示し、10, 12はレジスタでこれらに被乗数と乗数がセットされる。乗数は複数ビット例えば2ビットずつに区分されて乗算に供せられ、乗算回路14はその部分積を求める乗算を行なう。1ブロック2ビットであればその組合せは00, 01, 10, 11であり、被乗数をaとすれば0, a, 2a, 3aが部分積であって、乗算回路14はこれらの1つ(Aで示す)を出力する。16はWallaceトリー回路で、乗算回路14の出力Aと、レジスタ18, 20に蓄えられている前回加算出力(部分積算結果)のキャリー(桁上げ)とサム(和)の一部B, Cとを加算する。この際位合せのためシフトを行なう。本例では2ビットずつの積をとるので、各加算に当って2ビット右シフトを行なう。右端2ビットは加算には供せられず、レジスタ18, 20の右端2ビットは加算器22で加算されたのち(加算結果は、求める積値の2ビットを構成する)右2ビットシ

3

は本例では必ずしも111である。レジスタ18, 20の右端2ビットは加算器22で加算され、11がその出力となる。2回目の演算に入るときレジスタ12は2ビット右シフトされ、出力10が乗算回路14へ入力する。2ビット右シフトで空いたレジスタ12の左端へは加算器22の出力11が格納される。乗算回路14では $111 \times 10$ なる部分積演算が行なわれ、A = 1110が出力される。トリー回路16へはB = 0, C = 1なる入力も入り、加算結果1111がレジスタ18, 20にセットされる。本例ではこれで部分積演算が終了し、レジスタ18, 20の内容は加算器22, 24で加算され、1111が該加算器より出力される。求める答は加算器22, 24の出力1111とレジスタ12の前記ストア値11とを連結したもの $111111 = 63$ である。

上記では2回の部分積演算で積値が求まったが、乗数が多数ビットからなる場合演算は当然多数回になる。即ち第2図に示すように、乗数の第1ブロックについての部分積 $A_1$ を求め、キャリーとサ

5

トとして空きになったレジスタ12の左端へ入力される。B, Cはこの右端2ビットを除いたサムとキャリーである。これで第1回の部分積演算が終り、以下同様操作を乗数のブロック数だけ繰り返す。最後の部分積、それと今までの部分積算結果との加算が終ると、そのときのレジスタ18, 20の内容を加算器22, 24が加算し、その加算結果とレジスタ12の内容が求める結果である。第5図は乗数グループが2ビットの時のWallaceトリー回路16の要部構成を示す。WUは3入力2出力Wallaceトリー基本回路である。

具体例を挙げるに、被乗数a = 7 = 0111, 乗数b = 9 = 1001とすると、最初の乗数は01であり、部分積は111、これがレジスタ18, 20に格納されることになる。部分積111がレジスタ18, 20にどう配分されるかは乗算回路14とトリー回路16の構成によって定まり概には言えないが、こゝではレジスタ18に000、レジスタ20には111がストアされたとする。なお配分の仕方はどうあれ両レジスタの内容の和

4

ムに分けてレジスタ18, 20に蓄え、答の最低位2ビットとなるその右端2ビットD1はレジスタ12に保管し、次に乗数の第2ブロックに対する部分積 $A_2$ を求め、それと上記キャリーとサムの一部B, Cとの加算を行なって部分積算結果を得、その右端2ビットはレジスタ12に保管し、かかる操作を繰り返して行って最終部分積 $A_n$ に対するサム、キャリーが求まつたらそれを加算器22, 24で加算し、その加算結果と $D_{n-1} \dots D_1$ との連結として求める答を得る。

この乗算装置ではWallaceのトリー回路の入力は部分積A、キャリーとサムの一部B, Cの3つあり、構成が複雑になる。またレジスタ18, 20を用いており、これらはデータのビット数が大になるとそれに応じて大規模なものになる。更に加算器24は最後にレジスタ18, 20のサム、キャリーを加算する機能しか持っていない。本発明ではWallaceのトリー回路の入力は部分積Aのみとして該トリー回路の簡略化を図り、またレジスタ18, 19は省略してWallace

6

のトリー回路出力は加算器へ直接入力し、加算器で部分積と部分積累算結果との加算を行なうようにした。第3図にその実施例を示す。

第3図で第1図と同じ部分には同じ符号が付してあり、そして26は第1図の24と同様な加算器であるがこれにはWallaceのトリー回路16のキャリーアウトB'およびサム出力C'、レジスタ28からの加算器前回出力の一部F(下部2ビットを除いたもの)が入力する。前回出力の下位2ビットはレジスタ12の空いた左端に収容される。前と同様に $7 \times 9$ を例にとって動作を説明すると、部分積を求める部分は第1図と同様であり、レジスタ12の乗数1001の下位側から2ビット01が乗算回路14へ取出され、レジスタ10の被乗数111との部分積A=111を求められる。部分積AはWallaceのトリー回路16へ入力し、キャリーアウトB'、サムC'に分けられ、これらは加算器26へ入力する。レジスタ28の内容つまり部分積累算結果は最初は零であり、従って加算器26の出力は $B' + C' = 111$ であってこれがレジスタ28

7

積累積結果とするもののように最後の部分積演算終了後にキャリーアンドサムを加算器22、24で加算する必要はなく、加算サイクルが1つ減少する。

以上説明したように本発明によればWallaceトリー回路の簡略化と演算サイクルの高速化が図られ、甚だ有効である。

#### 4. 図面の簡単な説明

第1図は従来の乗算装置の構成を示すブロック図、第2図はその動作説明図、第3図は本発明の実施例を示すブロック図、第4図はその動作説明図、第5図はWallaceトリー回路の要部構成を示すブロック図である。

図面で10、12は被乗数、乗数セット用レジスタ、14は乗算回路、16はWallaceトリー回路、24、26は加算器である。

出願人 富士通株式会社  
代理人弁理士 青柳 稔

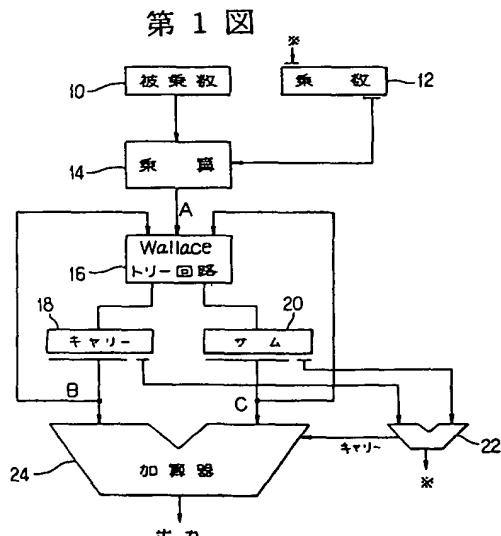
9

特開昭57-199044(3)

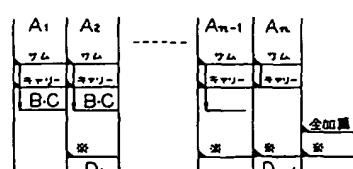
に入力される。次はレジスタ12において2ビットシフトが行なわれて10が乗算回路14へ入力され、レジスタ12の空いた左端部へはレジスタ28の下位2ビット11が格納される。今回の部分積は $111 \times 10$ であり、その積値1110がWallaceのトリー回路16へ入出力し、キャリーアウトB'、サムC'(本例では $B' = 1100$ ,  $C' = 0010$ とする)が加算器26へ入力する。該加算器へはレジスタ28の前回部分積累算出力0001も入力し、 $1100 + 0010 + 0001 = 1111$ が出力され、レジスタ28へセットされる。本例ではこれで演算終了となり、レジスタ28の内容1111とレジスタ12の内容11の連結111111=63が求める積値となる。

第4図はn回部分積演算が行なわれる場合の動作説明図で、第2図に対応する図である。求める積値は第n回部分積演算終了後のレジスタ28の内容Eとレジスタ12の格納内容D<sub>n-1</sub>……D<sub>1</sub>との連結である。本方式では加算器の出力を部分積累算結果としており、従来のキャリーアンドサムを部分

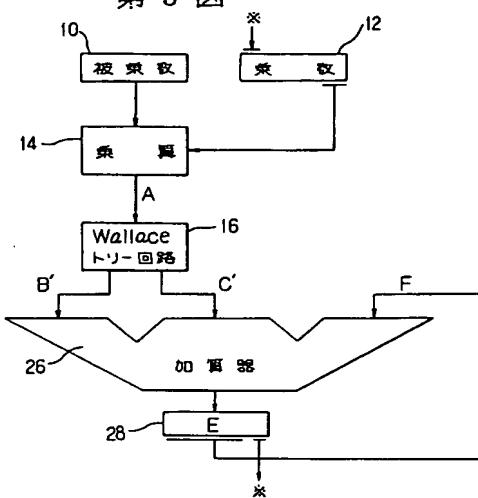
8



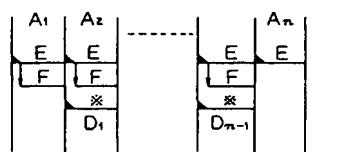
第2図



第3図



第4図



第5図

